

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-022486
 (43)Date of publication of application : 23.01.1996

(51)Int.CI.

G06F 17/50

(21)Application number : 06-175980
 (22)Date of filing : 05.07.1994

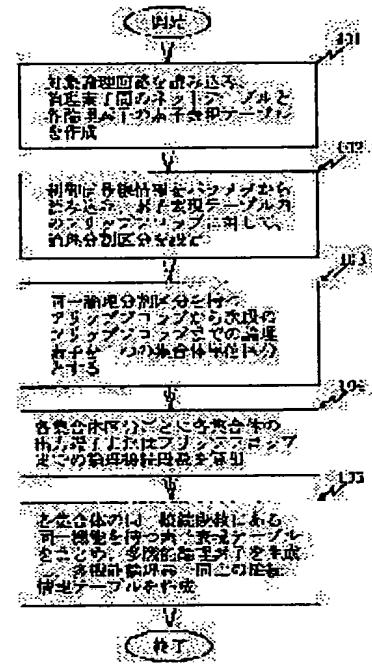
(71)Applicant : HITACHI LTD
 (72)Inventor : MIZOGAMI YOSHITO

(54) LOGIC CIRCUIT SIMULATION METHOD

(57)Abstract:

PURPOSE: To accelerate a logic simulation processing without influencing the connection form of a logic circuit by changing an input signal value for respective assemblies, using a net expression table and a logic element expression table newly generated for the respective assemblies and propagating the signal value.

CONSTITUTION: The connection relation of respective logic elements and a flip-flop or the input terminal of an object logic circuit and connection states among the respective logic elements are prepared (101.) the connection states are classified by adding the division section numbers of flip-flop logic elements based on the parameters of the control signal lines of clocks or the like (102) and the respective logic elements of the object logic circuit are divided into the assemblies of a control signal unit (103.) A logic element stage number until the output terminal of an object assembly is traced and a connection stage number until an output terminal point is set (104.) The ones for which the division section of the control signal unit and an element function are the same and an input number is the same further are gathered and the new table is prepared.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

THIS PAGE BLANK (USPTO)

子表現データーブルを作成し、論理回路における指定された接続部別引出端子のパラメータとともに論理回路の接続状態を前記ネット表現データーブル及び論理回路子表現データーブルをトレースして論理回路の各論理要素を前記信号単位の集合台数を算出し、前記信号単位の集合体単位毎に前記ネット表現データーブル及び論理回路子表現データーブルに接続する各論理要素の接続部数を求めて、同一集合体単位における同一接続部数の論理要素の論理要素子表現データーブルを抽出し、前記同一接続部数の論理要素子を入力として前記ネット表現データーブル及び論理回路子表現データーブルを新たに生成すると共に前記論理要素子表現データーブルに接続する各集合体単位に入力信号部を変更させ、前記各集合体単位が生成したネット表現データーブル及び論理要素子表現データーブルを新たに生成する。

〔0008〕
〔実施例〕以下、本発明の一実施例を図面により詳細説明してできる。
図1に、本発明の多大の属性要素を生成するための装置構成を示す。図2に各論理要素の属性情報を示す。図3に属性要素を表現した論理要素表現データベースを示す。図4に属性要素を表現した論理要素表現データベースを示す。図5に属性要素を表現した論理要素表現データベースを示す。図6に属性要素を表現した論理要素表現データベースを示す。図7に属性要素を表現した論理要素表現データベースを示す。図8に属性要素を表現した論理要素表現データベースを示す。図9に属性要素を表現した論理要素表現データベースを示す。図10に属性要素を表現した論理要素表現データベースを示す。図11に属性要素を表現した論理要素表現データベースを示す。図12に属性要素を表現した論理要素表現データベースを示す。図13に属性要素を表現した論理要素表現データベースを示す。図14に属性要素を表現した論理要素表現データベースを示す。図15に属性要素を表現した論理要素表現データベースを示す。図16に属性要素を表現した論理要素表現データベースを示す。図17に属性要素を表現した論理要素表現データベースを示す。図18に属性要素を表現した論理要素表現データベースを示す。図19に属性要素を表現した論理要素表現データベースを示す。図20に属性要素を表現した論理要素表現データベースを示す。

子チーブル8のビン番号2と、レコード7で示される禁子チーブル9のビン番号は、直接していることを示す。また禁子チーブル8は、出力信号源として、信号名Gを持つ信号名チーブル8の1のc（レコードアドレス）に接続している。さらに、各監理系子の信号値は、該当禁子チーブル8の3から直接参照できる部分が各ノード子出力端子毎に持つ、該監理子の演算式とその結果を容易に監視できる構成とする。本事例では、データーブル803内に準備したv1・v2がそれをv1が端子ビン番号1・入力端子ビン番号2の人力信号端子値を表し、10v0が出力信号端子値を示す。

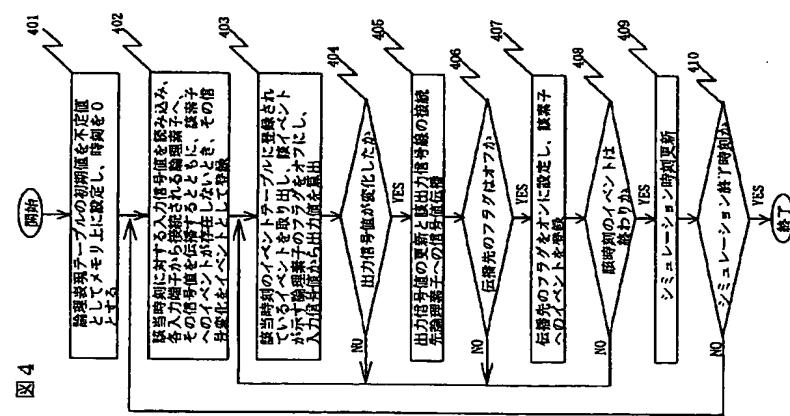
（作用）通常、論理ミルエーションで使用する名鑑は、最大2個便宜、一般的には、4箇とされています。これらは8位の信号レベルで表現される。これらの信号は3ビットであるには3ビットのメモリ削除操作によって能であるが、從来、論理誤差によって誤差をもつた回路論理演算によつて表現されていた。本発明によつては、各論理要素の信号化を多入力端子1個に統合することができるとき、4箇の信号レベルを取り扱う論理操作を行うこととする。従つて、1箇のハイライトのデータ処理を行つて計算機上では2人AND要素の論理演算として、18路の論理子を1回の論理演算で取り扱うこととなる。したがつて、各論理要素の信号同様に用意するイベント量を計算することができる。これにより従来各論理要素の信号が用意するイベント量を計算するよりも簡単となる。

力強化子C KOから接続されるフリップフロップ611、
612、613については番号1を設定し、入力端子C
1から接続されるフリップフロップ661、662、
663については番号2を設定する。つぎのステップ1
0.3では、分割区分3・1・8が同一のフリップフロップ輪
の接続子を抽出し、その接続子の接続先をネット表現チ
ーブルと接続端子代表テーブルを用いて、順次トレース
し、分割区分3が番号2となるフリップフロップ輪端子、
あるいは分割区分1が番号1となるフリップフロップ輪端子
アーブの端点として、その間に囲まれる論理要素の簇子数
を算出する。この結果、各分割区分3・1・8に、トレース開始のフリ
ップフロップ端子の番号区分3・1・8と同じ数値を付加し、
同一分割区分の番号単位として同一分割区分の番号単位としてと
る。

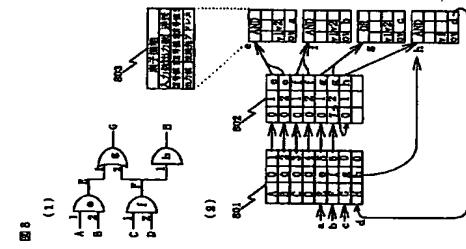
(7)

特開平8-22486

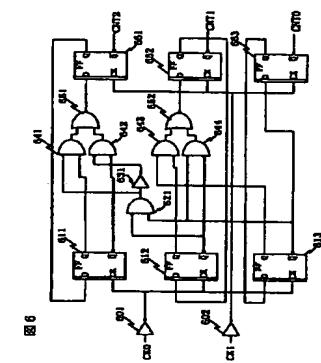
[図4]



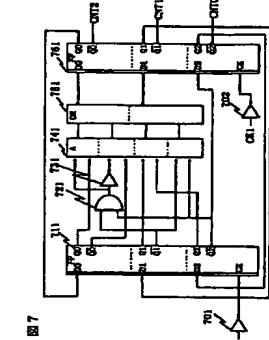
[図8]



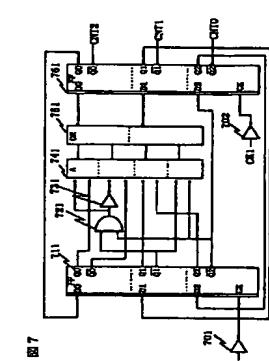
[図7]



[図6]



[図5]



[図9]

